

**DOĞU AKDENİZ ÜNİVERSİTESİ**  
**BİLGİSAYAR MÜHENDİSLİĞİ BÖLÜMÜ**  
**BLGM223 SAYISAL MANTIK TASARIMI**

***DENEY V : QUARTUS II TASARIM ORTAMI: N-BİT PARALEL TOPLAYICI ÇIKARICI VE TOPLAAYICI-ÇIKARICI MODÜLLERİNİN KURULUMU***

**AMAÇLAR:**

ALTERA tarafından geliştirilen son teknoloji elektronik tasarım otomasyonu yazılımı olan QUARTUS II ortamında n-bit paralel toplayıcı, çıkarıcı ve toplayıcı-çıkarıcı modüllerinin kurulumunu yapacağız.

**Deney Öncesi Çalışma:**

***Ders notlarından yarım toplayıcı (half-adder), tam toplayıcı (full-adder) ve n-bit paralel toplayıcılar konularını tekrar çalışınız.***

- I. Aşağıda size 4-bit paralel toplayıcı için VeriLOG HDL kodu verilmiştir. Bu kodu Quartus ortamına kopyalayarak çalıştırınız ve simülasyonunu yapınız.

```
module Parallel_Adder(A,B,Toplam);
parameter N=4; // Bit sayısı
input [N-1:0] A,B; // A ve B sayılarının vektörel gösterimi
output [N-1:0] Toplam; // Toplamın vektörel gösterimi

wire Cikan_Elde; // N'inci pozisyondan çıkan else
wire [N-1:0] Elde; // 0'inci pozisyondan N-1'inci pozisyona kadar ara eldeler.
genvar i; // N adım için i iteratör değişkenini tanımla: bu değişken
// generate-for döngüsü için kullanılacaktır.

generate // Bu komut bize aynı modüllerin( örneğin yarım (HA) ve tam
// toplayıcıların (FA) birden fazla çoklanarak kullanılmasını
// sağlar
for(i=0;i<N;i=i+1)
begin: N_Bit_Parallel_Adder // Üretilecek olan N-bit bloğun adı
if(i==0)
half_adder f(A[0],B[0],Toplam[0],Elde[0]);
else
full_adder f(A[i],B[i],Elde[i-1],Toplam[i],Elde[i]);
end
assign Cikan_Elde = Elde[N-1];
endgenerate
endmodule
```

```
// Verilog: Yarım toplayıcı kodu
module half_adder(x,y,Toplam,Elde);
    input x,y;
    output Toplam,Elde;
```

```
    assign Toplam=x^y; // x XOR y
    assign Elde=x&y; // x AND y
endmodule // half adder
```

```
// Verilog tam toplayıcı kodu
```

```
module full_adder(x,y,Gelen_Elde,Toplam,Cikan_Elde);
    input x,y,Gelen_Elde;
    output Toplam,Cikan_Elde;
```

```
    assign s = (x^y) ^ Gelen_Elde;
    assign Cikan_elde = (y&Gelen_Elde) | (x&y) | (x&Gelen_Elde);
endmodule // full_adder
```

2. Bu devreyi derste yaptığımız gibi basitçe değiştirerek 4-bit paralel çıkarıcı devresi haline getiriniz.
3. Bu devreye bir T/C (Topla/Çıkar) kontrol girişi ekleyerek, devreyi T/C=1 olması durumunda toplayıcı, T/C=0 olması durumunda çıkarıcı olarak kullanmak üzere değiştiriniz.

BAŞARILAR DİLERİM.

Doç. Dr. Adnan ACAN