**DOĞU AKDENİZ ÜNİVERSİTESİ**

**BİLGİSAYAR MÜHENDİSLİĞİ DEPARTMANI**

**BLGM 224 SAYISAL MANTIK SİSTEMLERİ**

**DENEYSEL ÇALIŞMA #2**

**VERILOG HDL KULLANARAK MİMARİ VE DAVRANIŞSAL ZAMANUYUMLU DİZİSEL DEVRE TASARIMI**

**HEDEFLER:**

Bu laboratuvar çalışmasında, mimari ve davranışsal tanımlar ile senkron sıralı devrelerin tasarımı üzerine pratik bir çalışma sunmak amaçlanmaktadır. Mimari tanım, geleneksel tasarım prosedürü ile tasarlanmış devrelerin hem şematik hem de yazılım uygulamasını kapsar. Davranış açıklamaları, Mealy ve Moore tipi durum geçiş diyagramlarını kullanılan uygulamaları kapsar.

**Aşama 1: Şema**

Tasarlanacak olan devrenin, bir X girişine ve bir Y çıkışına sahip olduğunu varsayalım. X girişi üzerinde arka arkaya üç veya daha fazla “1” varsa Y = 1 olacaktır; Aksi takdirde Y = 0 olacaktır.

**1.1** Derste açıklanan Mealy tipi durum geçiş diyagramı göz önüne alarak, bu zamanuyumlu dizisel devreyi JK-FF'ler kullanarak tasarlayın. Ardından, tasarımınızın şematik diyagramını VeriLog HDL'ye girin ve dalga formu simülasyonları ile doğruluğunu doğrulayın (ilk deney çalışmasında açıklanan adımları izleyin).

**Aşama 2: Tasarımın Verilog HDL'de Uygulanması**

Quartus Lite programını kullanarak tasarımınızın VeriLog kodunu girin. Doğruluğunu görmek için kodunuzu derleyin ve simüle edin (ilk deney çalışmasında açıklanan adımları izleyin).

**Aşama 3: Mealy tipi Durum Geçiş Şeması Kullanarak Tasarımın Uygulanması**

Derste açıklanan Mealy tipi durum geçiş diyagramını göz önünde bulundurularak, bu dijital sistemin durum geçişi ve çıktı üretme davranışını uygulayan ilgili Verilog HDL kodu aşağıda verilmiştir:

module Seq\_3Ones\_Detect\_Mealy(X,Clk,Y);

input Clk,X;

output Y;

reg Y;

reg [1:0] pstate,nstate; // kayıtlı değişken tipinde mevcut durum ve sonraki

//durum değişkenleri

parameter S0=2’b00, S0=2’b01, S0=2’b10, S0=2’b11; // değişken atama

always @(posedge Clk)

case(pstate)

S0: if (x) begin nstate=S1; Y=0; end

else begin nstate=S0; Y=0; end

S1: if (x) begin nstate=S2; Y=0; end

else begin nstate=S0; Y=0; end

S2: if (x) begin nstate=S3; Y=1; end

else begin nstate=S0; Y=0; end

S3: if (x) begin nstate=S3; Y=1; end

else begin nstate=S0; Y=0; end

endcase

// durum geçişleri için sıralı mantık

Pstate <= nstate;

endmodule

Yukarıda verilen kodu VeriLog HDL ortamında yazın ve doğruluğunu görmek için simüle edin.

**Aşama 4: Moore tipi Durum Geçiş Şeması Kullanarak Tasarımın Uygulanması**

Derste açıklanan Moore tipi durum geçiş diyagramını göz önünde bulundurularak, bu dijital sistemin durum geçişi ve çıktı üretme davranışını uygulayan ilgili Verilog HDL kodu aşağıda verilmiştir:

module Seq\_3Ones\_Detect\_Moore(X,Clk,Y);

input Clk,X;

output Y;

reg [1:0] state; // kayıtlı tipte değişken

parameter S0=2’b00, S0=2’b01, S0=2’b10, S0=2’b11; // değişken atama

always @(posedge Clk)

case(state)

S0: if (x) state <= S1;

else state <= S0;

S1: if (x) state <= S2;

else state <= S0;

S2: if (x) state <= S3;

else state <= S0;

S3: if (x) state <= S3;

else state <= S0;

endcase

// çıkış değeri tanımlama

assign Y=(state == S3);

endmodule

Yukarıda verilen kodu VeriLog HDL ortamında yazın ve doğruluğunu görmek için simüle edin.

**Ödev #2 : (Bir sonraki laboratuarda teslim edilmelidir).**

Giriş satırındaki 4 bitlik “0110” dizilimini tespit edebilmek için bir X girişi ve bir Z çıkışı olan ile zamanuyumlu dizisel devre tasarlayın. “0110” dizisi algılandığında Z = 1, aksi takdirde Z = 0 olmalıdır. 4 bitlik kodların üst üste gelebilir. MSB'nin önce geldiğini varsayın.

1. Tasarımınızı VeriLog HDL ortamında Mealy tipi durum geçiş diyagramına göre uygulayın ve simüle edin.
2. Tasarımınızı VeriLog HDL ortamında Moore tipi durum geçiş diyagramına göre uygulayın ve simüle edin.