

DOĞU AKDENİZ ÜNİVERSİTESİ BİLGİSAYAR MÜHENDİSLİĞİ BÖLÜMÜ BLGM224 - SAYISAL MANTIK TASARIMI **LABORATUVAR ÇALIŞMASI 1- FLİP FLOPLARIN İNCELENMESİ**

AMAÇLAR

Bu laboratuvar çalışmasının amacı elektronik çizim ve tasarım programı Intel Quartus Prime Lite Edition kullanılarak mantıksal devrelerin ve devre elemanlarının kullanılması gözlemlenmesi ve test edilmesidir.

INTEL QUARTUS NEDİR

Intel Quartus Prime, Intel tarafından üretilen programlanabilir mantık aygıtı tasarım yazılımıdır. Quartus Prime, geliştiricinin tasarımlarını derlemesini, zamanlama analizi yapmasını, RTL diyagramlarını incelemesini, bir tasarımın farklı uyaranlara tepkisini simüle etmesini ve programcı ile hedef cihazı yapılandırmasını sağlayan HDL tasarımlarının analiz ve sentezini sağlar. Quartus Prime, donanım açıklaması, mantık devrelerinin görsel düzenlemesi ve vektör dalga formu simülasyonu için bir VHDL ve Verilog uygulamasını içerir.

PROGRAMIN İNDİRİLMESİ

Intel Quartus Prime Lite programını windows ve linux işletim sistemleri için aşağıdaki linki kullanarak bilgisayarınıza indirebilirsiniz.

https://fpgasoftware.intel.com/?edition=lite

Program kurulumu tamamlandıktan sonra aşağıdaki işlemleri yapınız.

PROGRAMIN HAZIR HALE GETİRİLMESİ

Programı çalıştırınız.

ADIM 1: Quartus programın da bir tasarım yapmak için öncelikle bir proje oluşturulmalıdır. Proje oluşturabilmek için program çalıştırıldığında ekrana gelen New Project Wizard seçeneği seçilmelidir veya File menüsünden New Project Wizart seçeneği seçilmelidir.

		New Project Wiz	ard 📑 O)pen Project		
Compare Editions	Buy Software	Documentation	71 71 Training	Support	What's New	Notifications
	S (Quartus Prime Lite Edition	n t Assignments Pri	ocessing Tool	s Window He	
		New	Ctrl+N		• 2	
		Close	Ctrl+F4			
		New Project Wizard				
	×	Open Project Save Project Close Project	Ctrl+J			
	8	Save Save As	Ctrl+S	Compa	Are Editions	
	474	Save All	Ctrl+Shift+S			
		File Properties		Wha	at's New	
		Country / Unidate				

ADIM 2: Proje sihirbazı seçildikten sonra karınıza giriş ekranı gelecektir. Next butonuna basarak devam ediniz.

	roject Wizard	
Introd	luction	
The New	Project Wizard helps you create a new project and preliminary project settings, including the following:	
•	Project name and directory	
•	Name of the top-level design entity	
•	Project files and libraries	
•	Target device family and device	
•	EDA tool settings	
Den	show me this introduction again	
<u>Þ</u> on*	show me this introduction again	
<u>D</u> on*	show me this introduction again	

ADIM 3: Giriş sayfasından sonra projenin dizinini ve isminin ayarlanacağı ekran gelecektir. Projenizin ismini yazınız ve next butonuna basarak devam ediniz.

> New Project Wizard	Х
Directory, Name, Top-Level Entity	
What is the working directory for this project?	
C:\intelFPGA_lite\18.1	
What is the name of this project?	
BLGM224	
What is the name of the top-level design entity for this project? This name is case sensitive design file.	and must exactly match the entity name in the
BLGM224	
< <u>B</u> ack <u>N</u> e	xt > <u>F</u> inish Cancel <u>H</u> elp

ADIM 4: Bu işlemden sonra bir uyarı alacaksınız No butonuna basarak devam ediniz.

🕥 Qua	irtus Prime	\times
	Project directory "C:\intelFPGA_lite\18.1" already contains a project. If the projects share the same files, edits made while working on one project could affect the other project. Do you want to select a different project directory?	
	Yes No	

ADIM 5: Bu işlemden sonra bir template veya boş proje seçeneği karşınıza çıkacaktır. Empty Project seçeneğini seçiniz ve Next butonuna basarak devam ediniz.

🕞 New Project Wizard	
Project Type	
Select the type of project to create.	
Empty project	
Create new project by specifying project files and libraries, target device family and device, and ED/	gs.
O Project template	
Create a project from an existing design template. You can choose from design templates installed download design templates from the <u>Design Store</u> .	uartus Prime software, or
< Back Next >	Cancel <u>H</u> elp

ADIM 6: Bu işlemden sonra karşınıza bir pencere açılacaktır. Next butonuna değil Finish butonuna basarak proje oluşturma işlemini tamamlayınız.

New Desta									
i New Proje		ra							
Add File	s								
Select the d	esign fi	les you v	vant to include in the project. C	lick Add All to	add all desi	gn files in the p	roject directory	to the project.	
Note: you ca	an alwa	ys add de	esign files to the project later.						
File name:									اداده
rite name.									Add
Q								×	Add A <u>l</u> l
File Name	Туре	Library	Design Entry/Synthesis Tool	HDL Version					Remove
									Un
									99
									<u>D</u> own
									Properties
Specify the	path na	imes of a	ny non-default libraries. U <u>s</u> er	Libraries					
					< Back	Nevt	Finish	Concel	Halp
					< Dack	INCAL >	<u>E</u> 111511	Cancer	Tieth

ADIM 7: Project Navigator bölümünden projenizin oluşturulduğunu görebilirsiniz.



ADIM 8: File -> New bölümüne tıklayarak oluşturacağınız çalışmanın tasarım ortamını seçebilirsiniz.



FLİP-FLOP TASARIMI VE DERLENMESİ

RS, JK, D ve T flip flopların Quartus ortamında çalıştırılıp doğruluk tabloları ile karşılaştırılması.

File -> New -> Block Diagram / Schematic File seçeneğini seçiniz.

Block Diagram sayfası açıldığında boş ekrana çift tıklayarak Symbol penceresini açınız ve gerekli olan devre elamanlarını buradan seçerek bağlantılarını sağlayınız.



Block Diagramda aşağıdaki devreyi çizerek çalıştırınız. Girişlere S, R ve Saat isimleri çıkışa ise Q ismini atayınız.



Çizim tamamlandığında öncelikle block diagram bölümünü CTRL+S ile kaydediniz. Ardından play butonuna tıklayarak çiziminizi derleyiniz. Derleme işleminiz tamamlandığında aşağıdaki resimde görüldüğü gibi Quartus Prime Full Compilation was successful. 0 errors, 13 warnings mesajını alacaksınızdır.



FLİP-FLOP TASARIMININ SİMULASYONU

Derleme işleminiz başarıyla tamamlandıktan sonra, File -> New -> Universty Program VWF seçeneğini seçiniz. Daha sonra Edit -> Insert -> Insert Node or Bus -> Node Finde -> List -> ">>" seçeneklerini seçiniz.

			Julie	End.
Name Value at	0 ps 80.0 ns 160.0 ns 240.0 ns	320,0 ns 400,0 ns 480,0 ns 560,0 n	s 640,0 ns 720,0 ns	800,0 ns 880,0 ns 960
0 ps	0 ps 3			
	S Insert Node or Bus ×	🕥 Node Finder	×	
	Name: Use Node Finder to insert OK	Named: Filter: Pins: all		
	Type: INPUT Cancel	Look in: •	List Cancel	
	Value type: 9-Level Node Finder	Nodes Found: 3 Selected N	lodes:	
	Radix: Binary	Name Type >> Name	ne Type	
	Bus width:	R Input	Input	
	Start index: 0	S Input v <<	Input v	
	Display gray code count as binary count	< > <	.	

Bu işlemden sonra projenizdeki giriş ve çıkış elemanları simulasyon için sisteminize dahil olacaktır. Daha sonra Giriş elemanlarının periyot değerlerini vereceğiz. Aşağıdaki adımları takip ediniz.

Eile Edit View Simulation H	eep ⊥ 	う 感 認為 画覧			Search altera.com
Master Time Bar: 0 ps	ᇓᄰᄻᄰᄲ				
		Pointer: 11.48 ns	Interval: 11.48 ns	Start: 0 ps End: 1.	0 us
Name Value at O ps	0 ps 80.0 ns 0 ps	160.0 ns 240.0 ns 320.0 n	s 400.0 ns 480.0 ns 560.0 ns	640,0 ns 720,0 ns 800,0 ns	880.0 ns 960.0 ns
in R BO		S Clock X			
Saat BO		Base waveform on time period			
Q BX	*******	Period: 70.0 ns V			*****
< >>		Duty cycle (%): 50 Cancel			× ~

S girişine 20ns değerini R girişine 40ns değerini ve CLK yani saat girişine 35 değerini veriniz. Çıkış sinyali olan Q parametresine periyot ataması yapılmayacaktır. Periyot değerleri girildikten sonra CTRL+S yaparak 3. Adımda gösterilen Play butonuna basarak simüle işlemini başlatınız.

🕥 Simulation Waveform Editor - C:/intelFPGA_lite/18.1/BLGM224A - BLGM224A - [BLGM224A_20210313163230.sim.vvvf (Read-Only)]												
File	ile Edit View Simulation Help											
	▶ Q 蒸 B 片 堇 江 矩 器 YC 沤 沤 № ペ 🖏 📾 際											
Master Time Bar: 0 ps Pointer: 6.18 ns Interval: 6.18 ns Start End:												
		Value at	0 ps 80.0 ns 160.0 ns 240.0 ns 320.0 ns 400.0 ns 480.0 ns 560.0 ns 640.0 ns 720.0 ns 800.0 ns 880.0 ns	960.0 ns	^							
	Name	0 ps	0 ps									
in_	CLK	BO										
945	Q	BO			٦							
<u>in</u>	R	B 0			-							
in_	s	B 0		տոու	5							

Simüle işlemi tamamlandığında ekrana yukarıdaki gibi bir sonuç verilecektir. Q çıkış sinyalinin S, R ve CLK(saat) girişlerine göre hangi durumlarda hangi değerleri aldığını SR Flip Flop doğruluk tablosuna bakarak karşılaştırınız ve kontrol ediniz.

DOĞRULUK TABLOLARI

SI		JK Flip Flop				т	T Flip Flop			D Flip Flop						
Doğr	ruluk	Table	osu	D)oğı	ruluk	Tabl	osu	Doğruluk Tablosu Doğruluk Tal					Tablosu		
S	R	q	Q		J	к	q	Q								
0	0	0	0		0	0	0	0								
0	0	1	1		0	0	1	1								
0	1	0	0		0	1	0	0	T	q	Q		D	q	Q	
0	1	1	0		0	1	1	0	0	0	0		0	0	0	
1	0	0	1		1	0	0	1	0	1	1		0	1	0	
1	0	1	1		1	0	1	1		-	-			-		
1	1	0	×		1	1	0	1	1	0	1		1	0	1	
1	1	1	×		1	1	1	0	1	1	0		1	1	1	

EK BİLGİ

Flip Floplar, mantık kapılarından ve ara bağlantılardan oluşan senkron bir devrenin blok halinde gösterilmiş şeklidir.

Bu lab çalışmasını aşağıda verildiği gibi kapılar kullanarak çizebilirdik fakat çizmedik. Devre elemanlarının içinden blok çizim flip-flop kullandık. S ve R girişlerine input girişlerini ve ortada bulunan saat girişine de clk sinyalini bağladık.



Flip floplar senkron devrelerde kullanılır burada bizim vereceğimiz saat sinyali ile senkron bir şekilde çıkışlar değişir. Yani S'yi ve R'yi değiştirdiğimizde Çıkışlar değişmez. Bu verdiğimiz saat sinyalindeki tetikleme anında S ve R değerlerine bakarak çıkışlar değişir.

Piyasada satılan 2 çeşit flip-flop vardır. Bunlardan ilki yükselen kenar tetiklemeli yani pozitif kenar tetiklemeli flip flop ve ikincisi ise düşen kenar tetiklemeli yani negatif kenar tetiklemeli flip flop'tur.

Saat sinyalinde O'dan 1'e geçtiği anlarda tetikleniyorsa flip flop yani çıkışı tamda o anlarda değiştiriyor ise bu yükselen kenar tetiklemeli bir flip floptur.

Biz bu lab çalışmasında yükselen kenar (pozitif) tetiklemeli flip flop kullandık.



GÖREV

- 1- Yukarıdaki SR Flip Flop tasarımını ve simüle işlemini göz önünde bulundurarak aynı işlemleri JK, D ve T Flip floplar için de yapınız.
- 2- JK, D ve T flip flopların tasarımını ve simüle işlemini tamamladıktan sonra çıkan sonuçları doğruluk tablolarıyla karşılaştırınız ve inceleyiniz.

13.03.2021 Prof. Dr. Hasan Kömürcügil Arş. Gör. Samed Reyhanlı