



DOĞU AKDENİZ ÜNİVERSİTESİ
BİLGİSAYAR MÜHENDİSLİĞİ BÖLÜMÜ
BLGM224 - SAYISAL MANTIK TASARIMI
LABORATUVAR ÇALIŞMASI 2
SENKRON SAYICILAR

AMAÇLAR

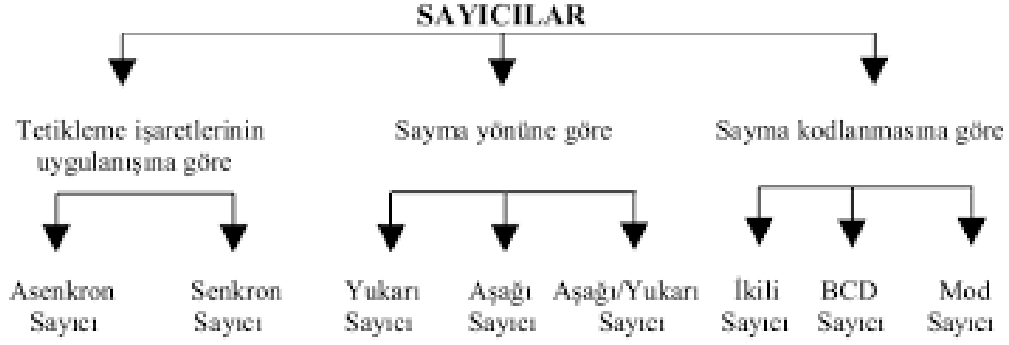
Bu laboratuvar çalışmasının amacı elektronik çizim ve tasarım programı Intel Quartus Prime Lite Edition kullanılarak Senkron sayıcıların çalışma prensibini öğrenmek ve T Flip Flop kullanılarak 3 bitlik sayıcı devresini tasarlayarak gözlem ve test yapmaktır.

TEORİK BİLGİ

Giriş darbelerine bağlı olarak belirli bir durum dizisini tekrarlayan lojik devreler ‘sayıcı’ olarak adlandırılır. Çok değişik alanlarda kullanılan sayıcı devreleri, FF’lerin uygun şekilde bağlanmalarıyla elde edilir. Sayıcılar aşağıdaki gibi farklı şekillerde sınıflandırılabilir.

Sayıcılar tetiklenme şekillerine göre asenkron ve senkron olmak üzere ikiye ayrılır. Asenkron sayıcılarda, ana tetikleme sinyali sayıcı içindeki sayıcılardan sadece ilk Flip-Flop’ un girişine uygulanır. Bu Flip Flop’ un çıkışı ise bir sonraki Flip-Flop’ u tetikler. Bir başka deyişle; her Flip-Flop’ un çıkışı bir sonraki Flip-Flop için tetikleme darbesi olarak kullanılır.

Senkron sayıcılar ise sayıcıda yer alan tüm Flip-Flop’ lar aynı anda tetiklenir. Saat darbeleri bütün Flip Flop’ ların CP (Clock Pals) girişlerine uygulanır.



SENKRON SAYIÇILAR

Senkron sayıcılarda devredeki tüm Flip-Flop' lar eş zamanlı (senkron) olarak tetiklenirler. Ortak saat darbesi, asenkron sayıcıda olduğu gibi sırası ile tetikleme yerine, tüm Flip-Flop'ları aynı anda tetikler.

PROGRAMIN HAZIR HALE GETİRİLMESİ

Programı çalıştırınız. New Project Wizard'I kullanarak boş bir proje oluşturunuz. Ardından File -> New -> Block Diagram / Schematic File seçeneğini seçiniz.

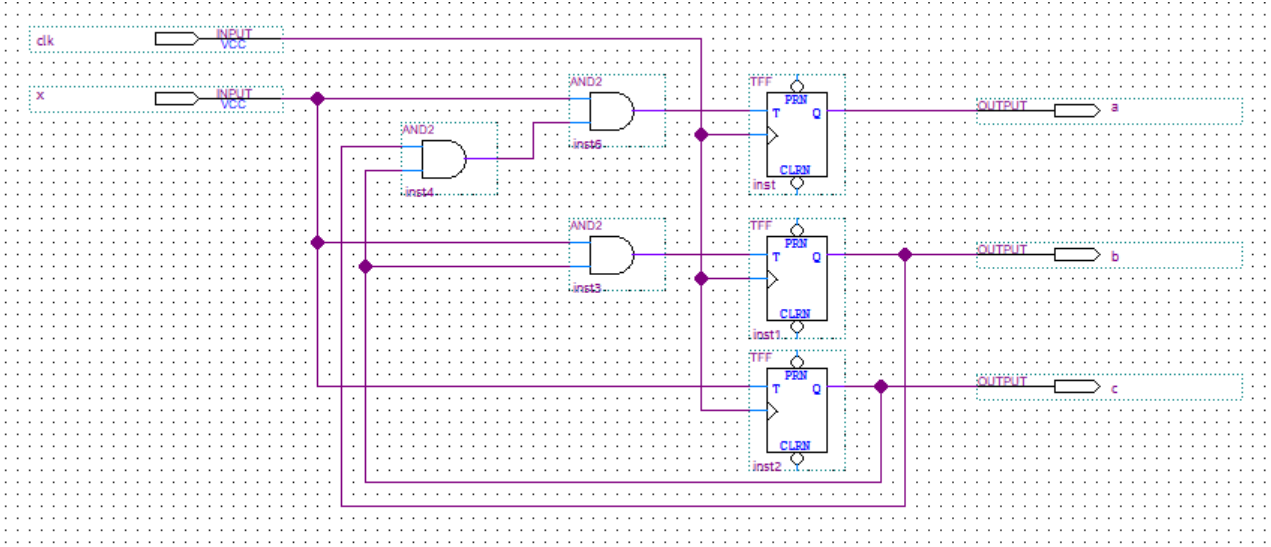
Yeni proje oluşturma ve programın hazır hale getirilmesi için 1. Lab dokümanındaki adımları izleyebilirsiniz.

DENEY

Aşağıda bir senkron ileri sayıcı devresi verilmektedir. 3 adet T Flip-Flop kullanarak aşağıdaki devreyi Block Diagram ortamında tasarlayarak derleme işlemini gerçekleştiriniz. Devre tasarımında 3 adet T Flip-Flop la birlikte 3 adet AND2 kapısı, 2 adet input giriş sinyali ve 3 adet output çıkış sinyali kullanılmıştır.

Devre elemanlarını Block Diagram ortamına dahil ederek gerekli bağlantıları yapınız.

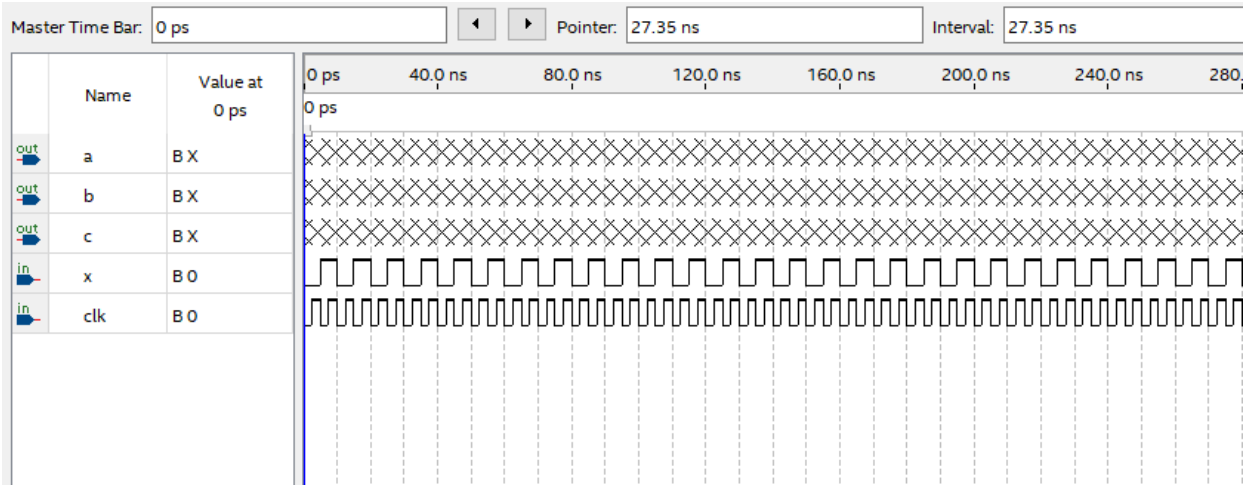
Bu devre 3 bit sayıcı devresidir. Giriş sinyali yani $x=1$ olduğunda ve saat uygulandığında sayma işlemi yapıyor.



Derleme işleminiz başarıyla tamamlandıktan sonra, File -> New -> Universty Program VWF seçeneği seçilerek tasarımınız simüle işlemini yapınız. Simüle işlemi için clk(saat) giriş sinyaline 20ns x giriş sinyaline 10ns değerlerini tanımlayınız.

Derleme işleminin nasıl yapıldığı hakkında 1. Lab dokümanından yardım alabilirsiniz.

Giriş sinyallerine periyot değerleri verildikten sonra derleme işlemini başlatınız.

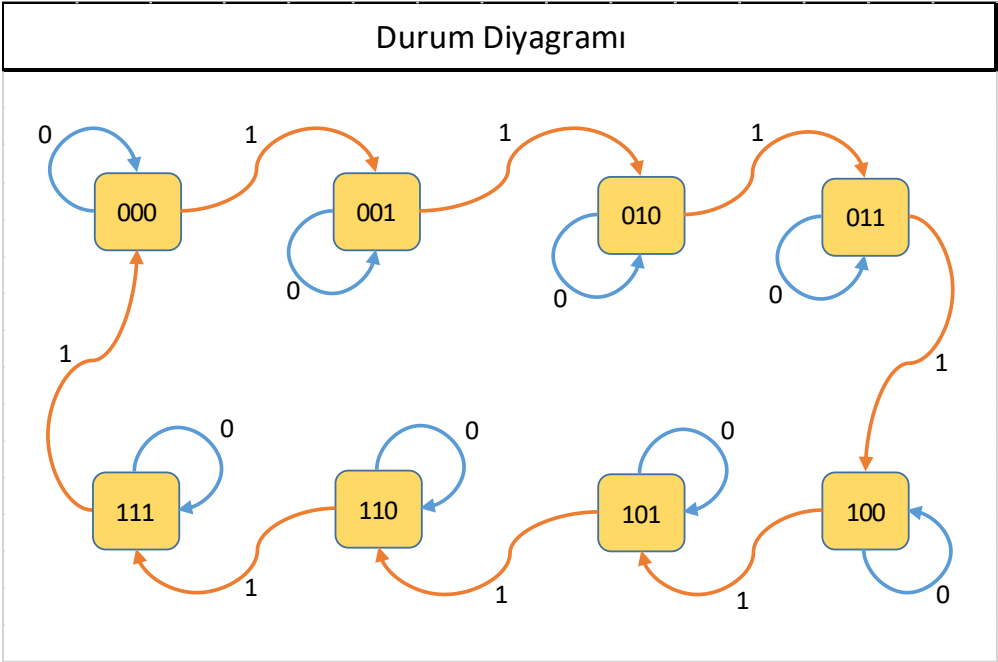


Derleme işlemi tamamlandıktan sonra A, B ve C output çıkışlarını aşağıda verilen doğruluk tablolarıyla karşılaştırarak gözlemlerde bulununuz.

Aşağıda 3-bit senkron sayıcı devresinin durum tablosu ve durum diyagramı bulunmaktadır.

T _a =	BCX	FF Giriş Denklemleri	T	Q(t+1)
T _b =	CX		0	Q(t) Değişiklik Yok
T _c =	X		1	Q'(t) Toggle

Durum Tablosu														
Şimdiki Durum			FF Girişleri						Bir Sonraki Durum					
			X=0			X=1			X=0			X=1		
A	B	C	T _A	T _B	T _C	T _A	T _B	T _C	A	B	C	A	B	C
0	0	0	0	0	0	0	0	1	0	0	0	0	0	1
0	0	1	0	0	0	0	1	1	0	0	1	0	1	0
0	1	0	0	0	0	0	0	1	0	1	0	0	1	1
0	1	1	0	0	0	1	1	1	0	1	1	1	0	0
1	0	0	0	0	0	0	0	1	1	0	0	1	0	1
1	0	1	0	0	0	0	1	1	1	0	1	1	1	0
1	1	0	0	0	0	0	0	1	1	1	0	1	1	1
1	1	1	0	0	0	1	1	1	1	1	1	0	0	0



GÖREV

- 1- Yukarıdaki 3-bit T Flip-Flop senkron sayıcı tasarımını ve simüle işlemini göz önünde bulundurarak 4-bit T Flip-Flop senkron sayıcı tasarımı yapınız.
- 2- Tasarladığınız 4-bit T Flip-Flop senkron sayıcı tasarımını VWF ortamında simüle işlemini yapınız.
- 3- 4-bit T Flip-Flop senkron sayıcının durum tablosunu çıkarınız.
- 4- Simüle işlemi tamamladıktan sonra çıkan sonuçları durum tablosuyla karşılaştırınız ve inceleyiniz.

27.03.2021

Prof. Dr. Hasan Kömürcügil

Arş. Gör. Samed Reyhanlı