



DOĐU AKDENİZ ÜNİVERSİTESİ
BİLGİSAYAR MÜHENDİSLİĐİ BÖLÜMÜ
BLGM224 - SAYISAL MANTIK TASARIMI
LABORATUVAR ÇALIŐMASI 3
ARDIŐIL DEVRELER

AMAÇLAR

Bu laboratuvar çalışmasının amacı elektronik çizim ve tasarım programı Intel Quartus Prime Lite Edition kullanılarak 2 bitlik ardışık devre tasarlamak gözlem ve test apmaktır.

TEORİK BİLGİ - ARDIŐIL DEVRELER

Bileşik devrelere geri besleme ve zamanlama gibi olguların eklenmesiyle oluşan devrelere, ‘sıralı veya ardışık lojik devreler’ denir. Ardışık devrelerde sıkça kullanılan bellek elemanları, bileşik devrelere bir geri besleme (feedback) yolu sağlayacak şekilde bağlanır. Bilgi saklama yeteneĐine sahip elemanlar olan belleklerde saklanan ikili bilgiler, sıralı devrenin durumunu tanımlar. Harici girişlerden ikili bilgiler alan ardışık devre, hariçten aldığı ikili bilgi ile, bellek elemanlarının mevcut durumlarını birleştiren çıkışta oluşacak ikili değeri belirler.

Ardışık devrelere örnek olarak bozuk parayla çalışan meşrubat makinelerindeki lojik devreler gösterilebilir. Böyle bir sayısal ardışık devre, ürünü vermek için sadece o anda atılan parayı değil daha önce atılmış olan parayı da dikkate almalıdır.

Ardışık devreler "sonlu durumlu makine" (Finite State Machine- FSM) modeli kullanılarak tasarlanırlar.

ARDIŞIL DEVRE TASARIMI

Ardışıl devre, bileşiminde en az bir FF bulunduran, bunun ötesinde giriş-çıkış durumunu belirleyen bileşik devreler (lojik kapılar) içeren düzeneklerdir. Ardışıl devrelerin davranışı; girişlerine, çıkışlarına ve mevcut durum ile alabilecekleri gelecek durumlara göre belirlenir. Ardışıl bir devrenin analizi; girişlerin, çıkışların ve iş sırası tablosu veya şemasının elde edilmesi şeklinde gerçekleştirilir. Ardışıl devrelerin davranışını tanımlayan boolean ifadeleri yazılabilir. Ancak, bu ifadelerin doğrudan veya dolaylı olarak gerekli zaman sırasını içermesi gerekir. Genel özellikleri tanımlanan bir ardışıl devrenin analizi üç değişik yöntemle yapılabilir:

- i. Durum Geçiş Şeması Yöntemi,
- ii. Durum Geçiş Tablosu Yöntemi,
- iii. Durum Denklemleri Yöntemi,

PROGRAMIN HAZIR HALE GETİRİLMESİ

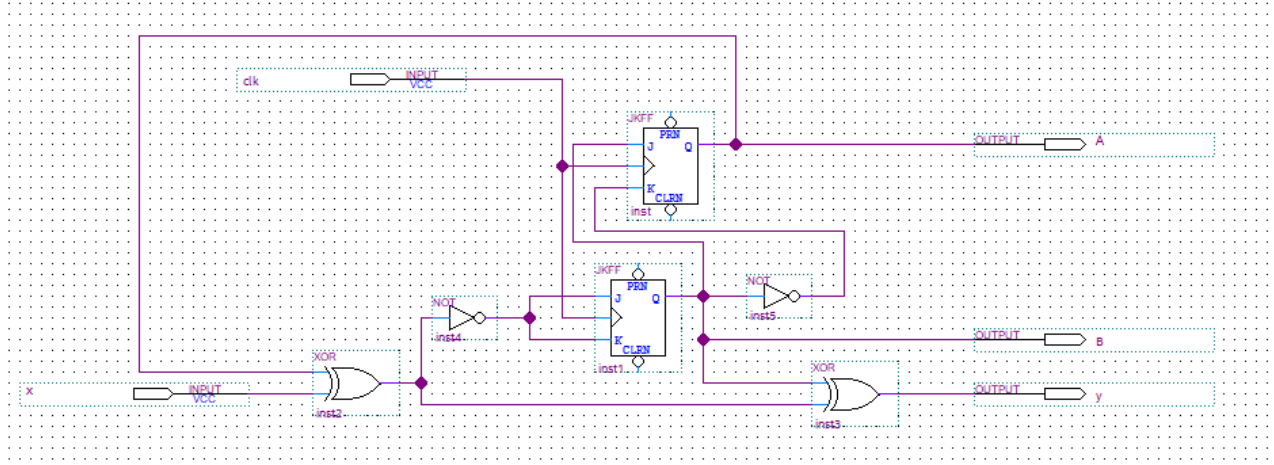
Programı çalıştırınız. New Project Wizard'I kullanarak boş bir proje oluşturunuz. Ardından File -> New -> Block Diagram / Schematic File seçeneğini seçiniz.

Yeni proje oluşturma ve programın hazır hale getirilmesi için 1. Lab dokümanındaki adımları izleyebilirsiniz.

DENEY

Aşağıda bir ardışıl devre verilmektedir. Bu ardışıl devrede 2 adet JK Flip-Flop kullanılmıştır. Bununla birlikte saat sinyali için bir adet input girişi, X girişi için bir adet input girişi, A, B ve y çıkışları için 3 adet output çıkışı, 2 adet NOT kapısı ve 2 adet XOR kapısı kullanılmıştır. Bu devre elemanlarını Block diagram ortamına dahil ediniz.

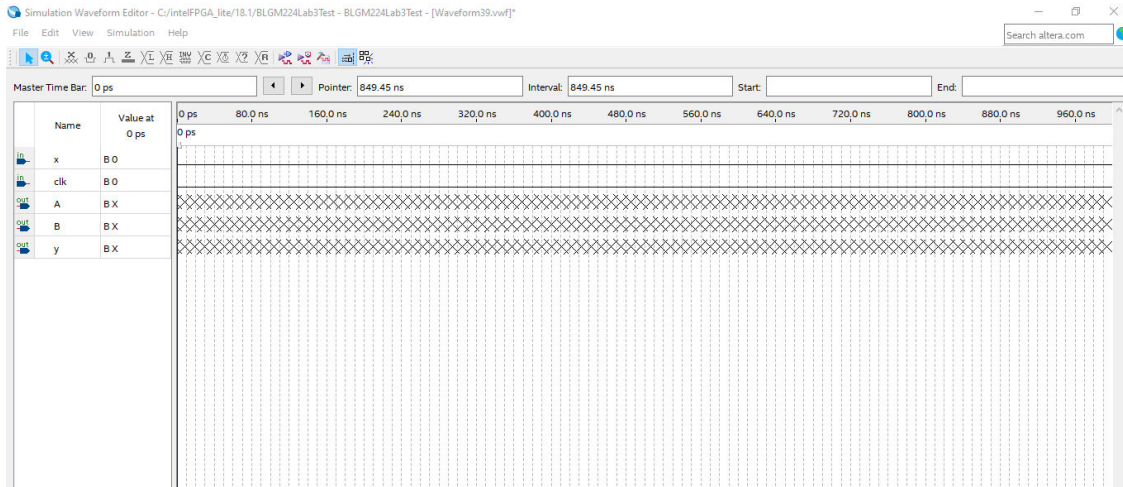
Devre elemanları Block diagram ortamına dahil edildikten sonra ara bağlantılarını yaparak aşağıdaki ardışıl devreyi tasarlayınız ve derleme işlemini başlatınız.



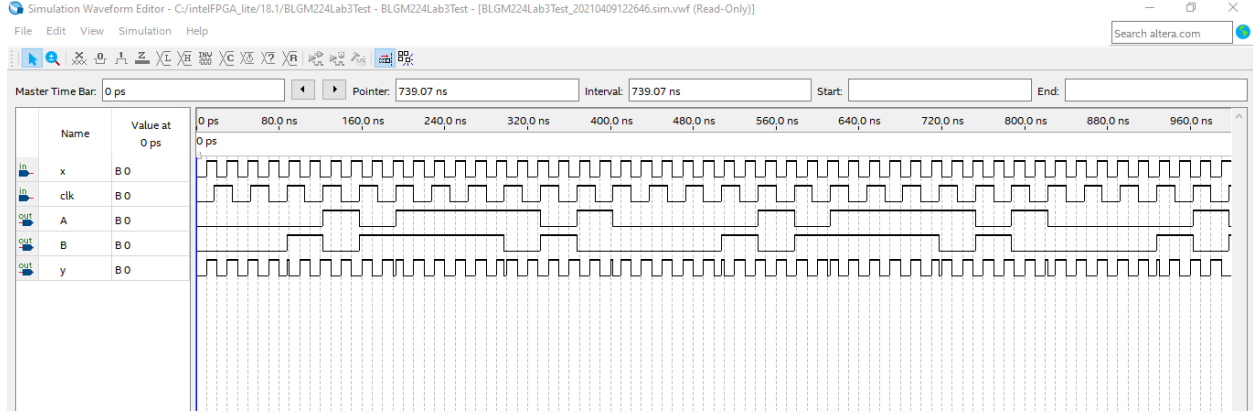
Derleme işleminiz başarıyla tamamlandıktan sonra, File -> New -> Universty Program VWF seçeneği seçilerek tasarımınız simüle işlemini yapınız. Simüle işlemi için clk(saat) giriş sinyaline 20ns x giriş sinyaline 10ns değerlerini tanımlayınız. İsterseniz bu periyot aralıklarını kendi isteğinize göre farklı verebilirsiniz. Örneğin X giriş 20ns ve clk giriş sinyali 35ns gibi.

Derleme işleminin nasıl yapıldığı hakkında 1. Lab dokümanından yardım alabilirsiniz.

Giriş sinyallerine periyot değerleri verildikten sonra derleme işlemini başlatınız.



Aşağıda X girişi 20ns ve clk sinyali 35ns periyot aralıklarıyla verilen simüle işlemi sonucu verilmektedir.



Derleme işlemi tamamlandıktan sonra A, B ve y output çıkışlarını aşağıda verilen doğruluk tablolarıyla karşılaştırarak gözlemlerde bulununuz.

Aşağıda JK Flip-Flop'un karakteristik tablosu verilmektedir.

J	K	Q(t+1)	
0	0	Q(t)	Değişiklik yok
0	1	0	Reset
1	0	1	Set
1	1	Q'(t)	Toggle

Aşağıda tasarladığımız ardışıl devresinin Flip-Flop giriş denklemleri verilmektedir.

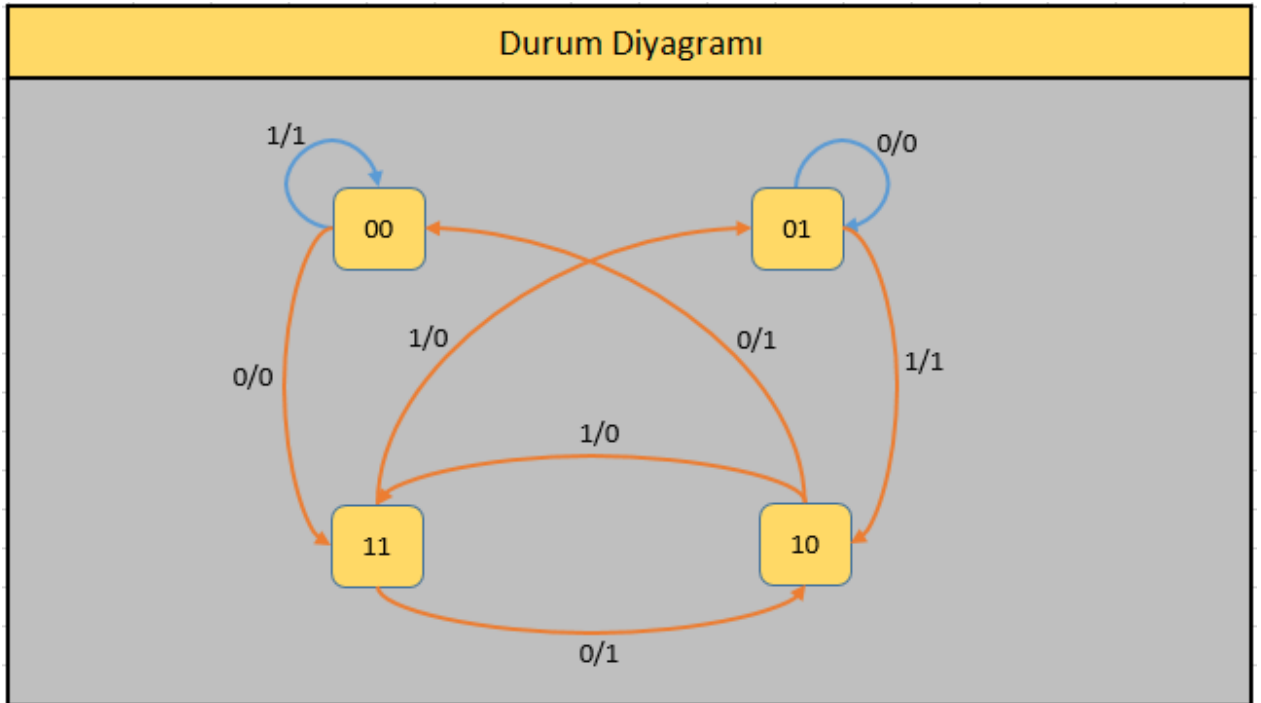
Aynı şekilde y çıkış denklemi de verilmiştir.

FF giriş denklemleri		FF Giriş Denklemleri
J _a =	B	
J _b =	$(A \text{ xor } X)' = (AX + A'X')$	
K _a =	B'	
K _b =	$(A \text{ xor } X)' = (AX + A'X')$	
Y =	$(A \text{ xor } X) \text{ xor } B$	

Aşağıda tasarladığımız ardışıl devresinin durum tablosu bulunmaktadır.

Durum Tablosu									
Şimdiki Durum			FF Girişleri				Sonraki Durum		Çıkış
A	B	X	J _A	J _B	K _A	K _B	A	B	Y
0	0	0	0	1	1	1	0	1	0
0	0	1	0	1	0	0	0	0	1
0	1	0	1	0	1	1	1	0	1
0	1	1	1	0	0	0	1	1	0
1	0	0	0	1	0	0	0	0	1
1	0	1	0	1	1	1	0	1	0
1	1	0	1	0	0	0	1	1	0
1	1	1	1	0	1	1	1	0	1

Aşağıda tasarladığımız ardışıl devresinin durum diyagramı bulunmaktadır.



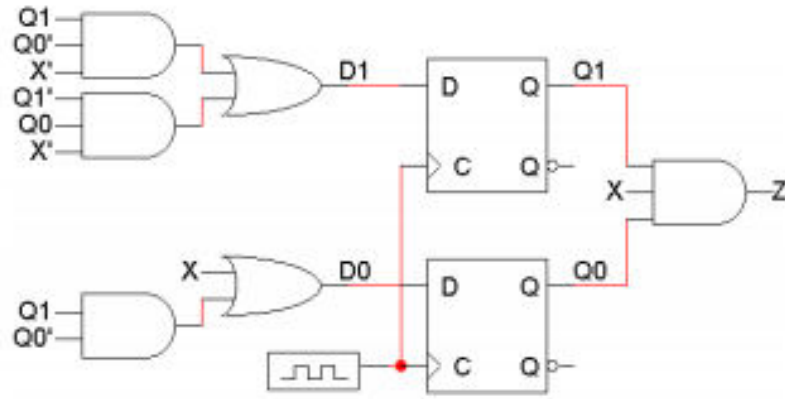
GÖREV

- 1- Yukarıdaki ardışıl devre tasarımını ve simüle işlemini göz önünde bulundurarak aşağıda denklemi verilen ardışıl devreyi Block Diagram ortamında tasarlayınız.

$$D_1 = Q_1 Q_0' X' + Q_1' Q_0 X'$$

$$D_0 = X + Q_1 Q_0'$$

$$Z = Q_1 Q_0 X$$



- 2- Tasarladığınız ardışıl devreyi VWF ortamında simüle işlemini gerçekleştiriniz.
- 3- Denklemi verilen ardışıl devrenin durum tablosunu oluşturunuz.
- 4- Simüle işlemi tamamladıktan sonra çıkan sonuçları durum tablosuyla karşılaştırınız ve inceleyiniz.

09.04.2021

Prof. Dr. Hasan Kömürcügil

Arş. Gör. Samed Reyhanlı